

# Chapter 3



成熟期(～2014年)のパッケージング技術

で搭載する検討が一気に加速する。この結果、PKGは1つのPKGの中に複数チップを並列するMCM(Multi-Chip Module)から複数チップを積層するCoC(Chip on Chip)の構造へ進化する(図38)。また、複数PKGを積層するPoP(PKG on PKG)も実用化される。これら3次元構造PKGは、3DP(3 Dimensional PKG)と総称される。なお、3DPはチップ間距離が短くなるため情報伝送の高速化を達成する対策でもある。

PKGに対する技術以外の強い要求=低価格化がある。このため、低コスト製法が検討され、整列封止型PKG(MAP; Molding Array PKG)が開発された。

### 1.1 前工程PKG(WLP)の誕生と具体的開発例

前工程会社は、投資効率を高めるため重点指向の方針を明確にする。得意分野の事業に開発を集中し、競合との差別化を図る。例えば、CPUは米国インテル社(表5)、メモリーは韓国Samsung社(図39)、パワーデバイスは独国Infineon社を挙げることができる(図40)。そして、回路設計だけを専業とし、製造工場(Fab/Foundry)を持たないファブレス(Fabless)という業態も生まれた。

成熟期、高集積化技術に限界が見えてくる。nm水準の設計ルールに近づくにつれ、ムーアの法則通りに半導体開発が進まなくなる<sup>21)</sup>(図41)。超微細回路になると、電気信号では誘電率の問題で高速伝送が難しくなり、光信号による情報伝送の必要性が論じられてくる<sup>22)</sup>。このため、前工程会社は川下へ進出し、事業規模を拡大する方針に転換する。即ち、前工程設備

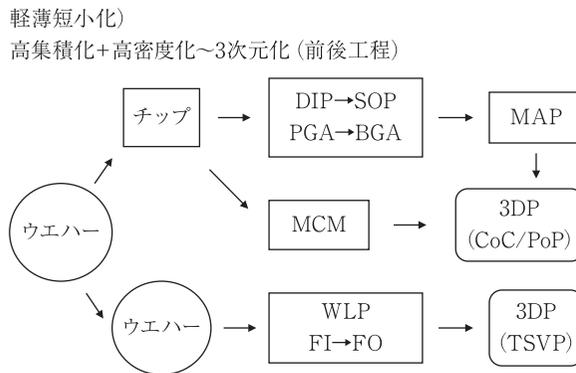
表5 MPUの市場シェア  
インテル社は「プロセッサ」に特化(MPU; Micro Processing Unit)

Leading MPU Suppliers(\$M)						
2012 Rank	Company	2011	2012	Percent Change	Percent Marketshare	Main Product Lines
1	Intel	37,435	36,892	-1%	65.3%	×86 PC, server MPUs
2	Qualcomm	4,152	5,322	28%	9.4%	ARM mobile app processors
3	Samsung(+Apple)*	2,614	4,664	78%	8.2%	ARM mobile app processors
4	AMD	4,552	3,605	-21%	6.4%	×86 PC, server MPUs
5	Freescall	1,210	1,070	-12%	1.9%	ARM and embedded MPUs
6	Nvidia	591	764	29%	1.4%	ARM mobile app processors
7	TI	510	565	11%	1.0%	ARM mobile app processors
8	ST-Ericsson**	660	540	-18%	1.0%	ARM mobile app processors
9	Broadcom	295	345	17%	0.6%	ARM mobile app processors
10	MediaTek	280	325	16%	0.6%	ARM mobile app processors

\*Includes Apple's custom processors made by Samsung's foundry business.

\*\*Cellphone IC joint venture to be dissolved by STMicroelectronics and Ericsson by 3Q13.

Source: IC Insights



注) MAP: Molding Array PKG  
3DP: 3 Dimensional PKG  
TSVP: Through Silicon Via type PKG

図43 半導体PKGの開発経緯

### 1.1.1 WLCSP ; FIWLPの製造方法と課題

前工程でウエハーに回路加工を行い、その状態で回路面に「再配線」(外部接続用配線)を施し、そして個片に切断する方法で製造したPKGである(図44)。これは、PKG形状の目標である「チップ同等寸法」を特徴とするため、WLCSP(Wafer Level Chip Scale Package)と呼ばれた。特に、日本の半導体会社が精力的に開発を行った<sup>23)</sup>。また、外部接続用配線がチップ面積内に入ることにより、FIWLP(Fan In WLP)とも呼ばれる。チップの側面および裏面は、ウエハーがむき出しの状態となる。大きなチップでは、これらの面で物理的衝撃不良(割れ、欠け)や側面からの水侵入による耐湿性不良が発生する危惧がある。

WLCSPの製法は、大きなウエハーではウエハー=シリコン(Si)と封止材料との熱歪により、ウエハーが湾曲する「反り」(Warpage)現象を生じ、個片切断加工が困難になる問題が生じた。また、再配線加工費用が従来の子基板方式より高いという問題があった。さらに、外部接続電極数の多いチップでは、多数のバンプを形成し再配線を多層にする必要があるが、これらの加工をチップ面積内に収めるには新たな技術開発が必要であるという大きな課題も抱えていた。このため、WLCSPは発表当初の大きな期待(図45)を裏切り、その市場規模は衰退することになる。即ち、反りの影響が無視できる小径ウエハーや、加工費比率の少ない少層再配線で製造できる場合にのみ、WLCSPは適用された。逆に、小さく強靱で単純構造のチップでは、ウエハーからPKGまで一貫生産できる効率的製法の利点を生かしコストダウンになる場合がある。

### 1.1.2 FOWLPの製造方法と課題

FOWLPはFIWLP = WLCSPが抱える2つの技術問題(反り, 多層配線)を解決すべく, 独国・Infineon社によって提案された<sup>24)</sup>。また, 再配線加工面積が大きくなるため, 外部接続電極数の多い高機能高性能ICにも適用可能である。FOWLPの製法は, 回路加工を施したウエハーからチップを切り出し, このチップをウエハー状の両面工程テープに回路面を向け整列仮止めする。その後, チップ裏面を液状材料で封止し, 工程テープを剥す。さらに, 回路面に再配線加工を施しPKGに切断し製品化する工程である(図46)。チップを用いてPKGにする点は従来の後工程と同じであるが, ウエハー状で前工程設備を使用する点で異なるためWLPに分類

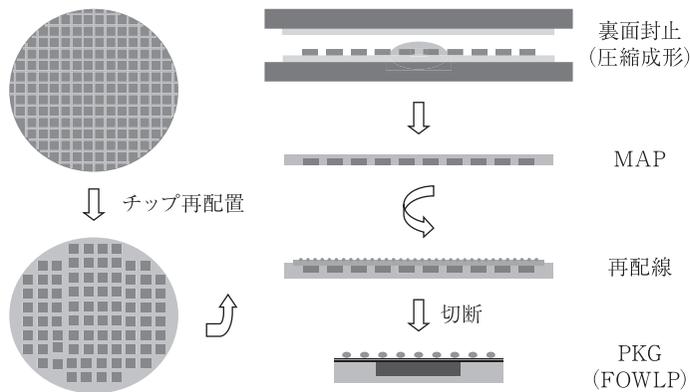


図46 FOWLPの製造工程

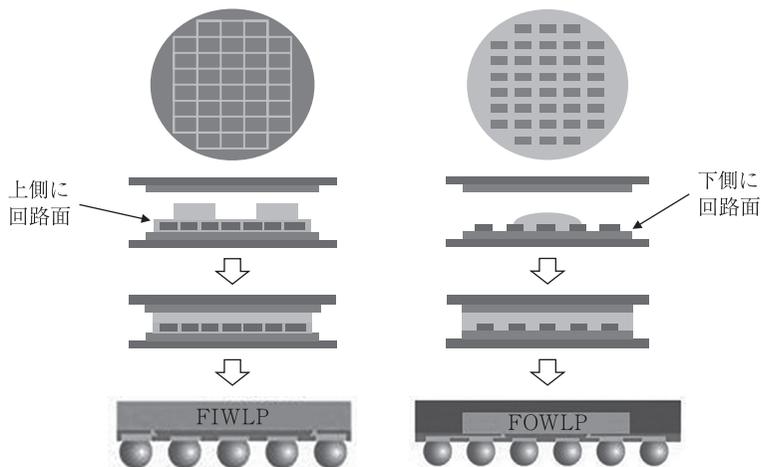


図47 FIWLPとFOWLPの比較  
チップ間隙: FIWLP < FOWLP → 熱応力; FIWLP > FOWLP

技術確立した子基板製法で価格競争力では優位となっている。特に、外部接続電極数の少ないPKG(例：記録回路)ではかなり採用された。

<BGA型PKGの比較>

	外部電極接続方法					
	金線		半田		再配線	
PKG寸法	大	>	小～中	>	小	
コスト	低	<	中～低	<	高	
技術難度	易	<	中	<	難	

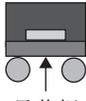
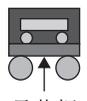
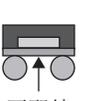
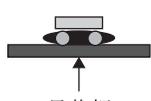
金線 (BOC)	半田 (MUF)	再配線 (RDL)	直結合 (FC)
			
子基板	子基板	再配線	母基板

図52 PKGの寸法

### 1.2.2 積層PKG—CoC・PoP・FOPLP—

次なるALPは積層PKGである。それまで、1つのチップを樹脂封止したものがPKGであった。これが、複数チップを並列搭載封止したMCMに、そして複数チップを垂直方向に積層搭載封止した3DPに進化する(図53)。積層搭載はスタック(Stack)と呼ばれ、積層数を競い合った高層化追求時代もあった<sup>26)</sup>。実用的には、機能の異なるチップを積み重ねたCoC構造の低層PKGで顧客要求を満足できた。また、チップではなくPKGを積層するPoPも登場する。さらに、PKGに外部接続用貫通孔(TMV：Through Mold Via)を設けて積層する方式のTMV型PoPも開発された<sup>27)</sup>。前工程と後工程で異種複数のチップを融通可能ならCoC、そうでないならPoPになる場合が多い。半導体会社が专业化し、異種複数のチップを全て内製する会社は存在せず、ケースバイケースでPKGが製造されることになる。

また、WLPに関する技術発表が増加するにつれ、その対抗策の検討が始まった。特に、FOWLPへの対策として、FO-Panel型PKGが提唱され、FOPLP(FO Panel Level PKG)と正式名称が決まる<sup>28)</sup>。FOWLPは、チップを用いてPKGにする点で、本来なら後工程の事業領域である。FOPLPは、加工形状をウエハー状ではなく矩形=パネル状にして製造するPKGの総称である。パネル状の方が、熱応力面および生産性面で優位である。ただし、外部接続方式に関して、再配線なのか子基板なのかビルトイン基板方式<sup>29)</sup>なのかで、技術開発競争が行われる。

<高密度PKG>  
 3次元複合化～積層型PKG  
 →Min. CoC, PoP(極小化:厚み, 体積)

PKG	製造
CoC	後工程
PoP	競合(前後工程, 基板加工, 製品組立)

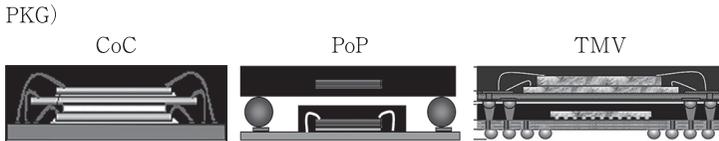


図53 後工程3DP

### 1.3 前後工程および関連工程の枠を越えた複合工程PKG開発の動き

半導体分野で、ムーアの法則の限界を破る検討が始まる。これは、「モアザンムーア；More Than Moore」と呼ばれ、多機能化によるデバイスの多様化で半導体市場の拡大を図る動きである<sup>30)</sup>。前述の前工程 WLP および後工程 3DP が該当するが、前後工程および関連工程の枠を超え高機能デバイス(複合工程PKGと称する)を開発する動きが始まる。例えば、異種複数

前工程vs後工程～前後工程+関連工程→2.XDP  
 異種複数多層～機能分離→実用的PKG～低層TSV or 中間基板(Interposer)  
 ・2.5次元(論理/単層+記録/多層)  
 ・TSV型中間基板+PKG

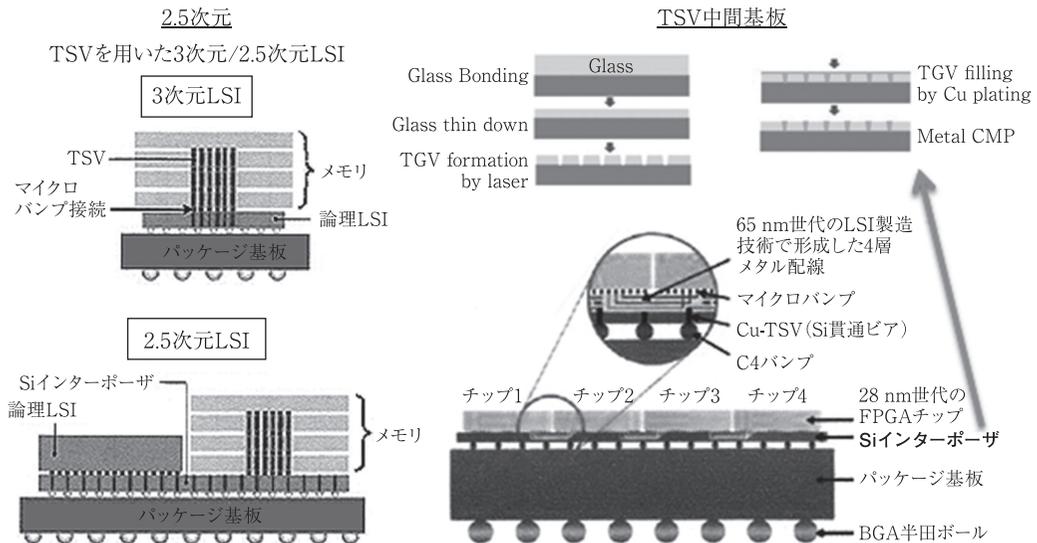


図54 複合工程PKG(例)<sup>46)</sup>

# Chapter 4

---

今後期(2015年～)のパッケージング技術

### 1.1 軽薄短小化の追求—高集積・高密度化を推し進める FOWLP—

従来の高集積高密度化を推し進める代表的なPKGとして、FOWLPを挙げる事ができる。これはInfinion社の提案から約10年の長い試行錯誤期間を経て、TSMC社によってin FO (Integrated FOWLP) という名称で量産化されたPKGである(図87)。現在、in FOはアップル社スマートフォン= iPhone7用のAP(Application Processor)に適用されている。TMV (Through Mold Via) を有する複合化に対応する構造であり、上部にDRAMメモリーを積層しPoP型3DPとして製品化されている(図88)。FOWLPは前工程PKGの名称であり、同様の設計思想で後工程PKG = FOPLP(Fan Out Panel Level PKG)として応用が検討されている。今後、これらFO型PKGは大きな成長が期待されている<sup>49)</sup>(図87)。ただし、半導体会社により方針が異なっている。例えば、TSMC社は自社技術であるin FO = FOWLPを基に展開、Samsung社はFOPLPを実用化していく方針である。今後、生産性およびコスト等の検討が進めば、「軽薄短小化」の具体的な進路が見えてくると思われる。

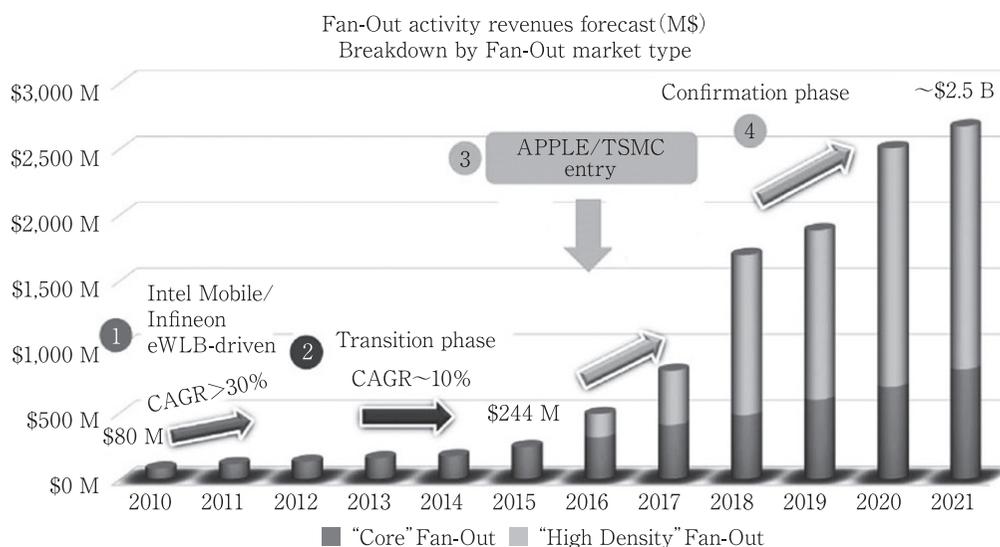


図87 FO型PKGの市場予測<sup>49)</sup>

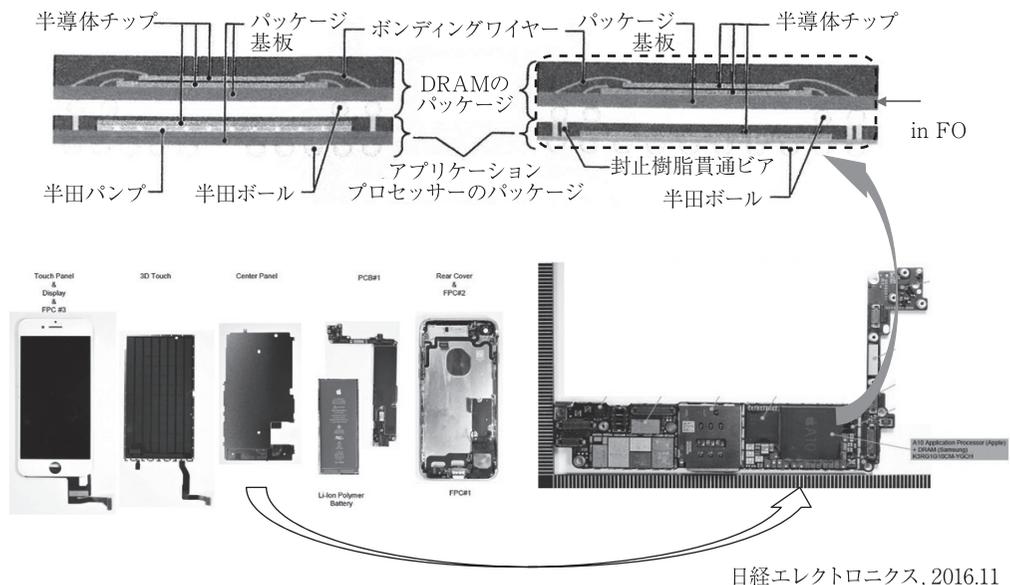


図88 in FO (integrated FOWLP)

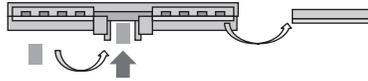
## 1.2 混載部品化という新しい路線

パッケージングに混載部品化の検討という新しい路線が加わる。今までは基板加工会社および製品組立会社(半導体関連会社と称する)が行っていた事業である。過去、混載部品(Module/Board, 部品数: Board > Module)は電気・電子部品として扱われてきた(図89)。これからは、PKGの延長・拡張部品として、実装密度および信頼性の向上が求められる。今後、最終顧客の要求に沿って製品開発を行うことが必然となり、パッケージングは最終製品に近い業界の意見に沿って開発を進める必要が生じる。つまり、開発の主導権は「川上」ではなく、「川下」が握ることになる。

(川上) 半導体 < PKG < 混載部品 < 最終製品 (川下) → 次世代開発

このため、半導体会社は半導体関連会社と協力または競合しながら、半導体部品の設計を行うことになる。この分野のパッケージングは、複数の半導体および電子・電気部品を搭載した次世代の混載部品(3D-Module/Board)である。具体的には、インターネット接続用モジュールや自動車用ECUボードを全面封止する混載封止の技術開発を挙げることができる。今後、自動車の自動運転が進むが、事故は必ず起こる。この時、その原因が混載部品の不良なのかどうかを明確にすることが求められる。IoT用混載部品では外的要因(例: ハッキング)も検討する必要がある。このためには、混載部品を飛行機の飛行記録装置(フライトレコーダー: flight recorder)並みに強固に保護する必要が生じる。

- (1) 固形封止材料  
 ・移送成形法  
 成形金型～材料注入～加熱硬化～部品取出



- (2) 液状封止材料  
 ・注型法（ポッティング）  
 樹脂容器～部品挿入～材料注入～加熱硬化

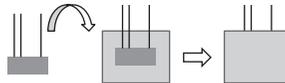


図98 パワーデバイスの封止方法

## 2.2 封止材料

### 2.2.1 FO型PKGに使用されている封止材料

FOWLPの裏面封止は色々な課題を抱えている(図99)。1つの重要課題としてチップの位置ずれがあり、この対策のため液状材料を使用している。位置ずれを起こしたチップは取り外すので、裏面封止材料の供給量の調整が必要なためである。なお、チップ裏面封止材料を、従来のチップ表面封止材料と区別するため、外装材料と称する場合がある。また、液状材料の課題として充填時の組成分離があり、この対策として固形の粉体材料を使用することが検討されている。ただし、これも粉体間の空隙(ボイド)および金型内予熱時のゲル化の問題がある。そこで、シート材料を高周波予熱する対策も計画されている<sup>53)</sup>(図100)。FO型PKGの市場が拡大し外装材料の使用量が増加すれば、実行に移される予定である。

FO型PKGは、PKGを薄くするため子基板ではなく、再配線(図101)により、外部接続回路を加工している。現在、この絶縁材料として主に感光性材料(PI: Poly-Imide, PBO: Poly Benzo Oxazole)が使用されている(図102)。これらは、半導体保護膜(パッシベーション: Passivation)に用いるレジスト材料の転用であり、電気回路の封止材料としては熱応力特性および耐湿性で課題を有している。現感光性材料の主成分は樹脂であり、熱膨張係数および吸水率が大きいためこれら2つの特性が劣る。特に3層以上の再配線では、熱歪による不良(反り、剥離)や腐食による不良(漏電、断線)の発生が危惧されている。

## 2.2.2 混載部品に使用されている封止材料

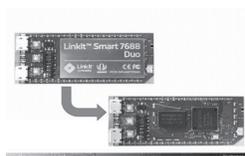
今まで、混載部品は電子部品類と回路基板との接合部分を樹脂封止することで対応してきた。この部品類と基板との2次実装には、シリコン樹脂系ジャンクションコーティングレジ  
ン<sup>54)</sup>やエポキシ樹脂系液状材料が使用されてきた。電子部品類と回路基板の電気接合部の腐食  
防止および電子部品類の基板からの脱落防止が主な目的である。最近、成長分野でこれら混載  
部品の信頼性向上が強く求められるようになってきた、例えば、自動車用ECU(Board)およ  
びIoT用通信ユニット(Module)である(図103)。自動車用ECUでは、雑音・振動に対する信  
頼性の向上および異常発生時の原因究明のため、ECU全体の保護が求められている(図104)。  
また、IoT用ユニットでも国際標準化およびハッカー対策として、ユニット全体の保護が論じ  
られている。このため、これら用途で用いる混載部品では、混載部品全体の樹脂封止の検討が  
開始した。既存の封止技術(封止方法、封止材料)では、熱応力および品質バラツキの面で問  
題が生じて、信頼性の向上は達成できていない。

混載部品) 半導体関連部材の混載品

顧客要求 ~ 電子機器 → 半導体混載品 (Module/Board)

- 1) インターネット接続  
「IoT」社会の到来  
個人~地域・社会

通信用混載部品  
汎用対策: モジュール化  
安全対策: 環境・応力  
→ 混載封止 (Module)



Link Smart社, 発表資料

- 2) 自動車電子制御  
自動運転時代の到来

自動車用混載部品  
安全対策: 環境・応力  
保証対策: 信頼性  
→ 混載封止 (Board)



電子制御装置  
(ECU/Electronic Control Unit)

DENSO EUROPE, HP

図103 混載部品

技術的矛盾→新規技術：複合機能構造  
放熱機能：放熱通路

- (1) 3D材料
  - 1) 高λ部材の接続 
  - 2) 複合構造  
高λ材料+高λ部材  
(フィルム等) 
- (2) 4D実装
  - 1) 時差放熱  
高λ材料+吸熱剤+放熱部材  
(相変化等) 
  - 2) 時差封止  
異種材料の複合加工  
例) 速硬化材料+遅硬化材料  
(形状保持) (高信頼性) 

図110 パワーデバイス封止材料の開発

### 3. 今後求められる次世代封止技術

現在の封止技術は、30年以上も前の技術を踏襲している。既存の封止方法および封止材料に関する説明で述べている通りである。固形および液状の封止技術は、いずれも品質バラツキの課題がある。固形材料による樹脂封止では、封止材料の硬化物特性が金型位置(中央・末端, 界面・内部)により異なるという現象がある(図111)。液状材料による樹脂封止では、封止材料の組成分散が不均一なため未充填や局所硬化といった宿命的問題を抱えている(図112)。つまり、次世代封止技術(薄層封止, 混載封止と称する)には新たな封止技術の開発が要求されている。なお、既に固形材料の諸元等に関しては説明しているが、液状材料については説明不足なので6項で概要を説明する。

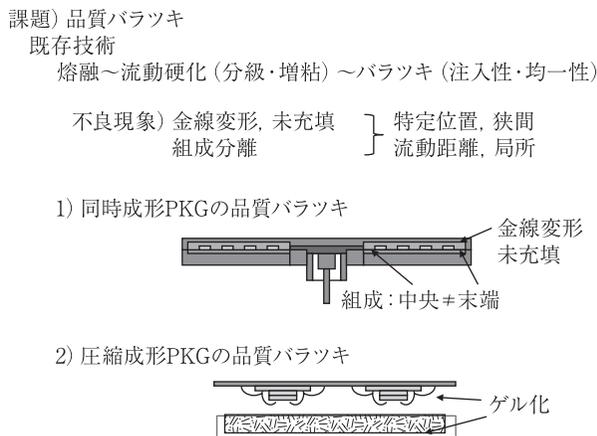


図111 EMC封止技術の課題

課題) 品質バラツキ

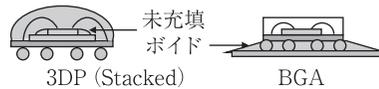
既存技術

液状～流動硬化～バラツキ

不良現象) 未充填・ボイド, ゲル化

1) 滴下法, 浸入法

常温液体～自重流動～未充填



2) 先置法

NCP～圧接工法～導電不良(絶縁層, ゲル)



注) NCP: Non Conductive Paste

図 112 LE 封止技術の課題

### 3.1 FO型PKGの成長のカギを握る“薄層封止技術”

次世代PKGとして期待されているFO型PKGの成長は、薄型の外部接続回路を封止する技術に懸かっている。今後、高密度化を推進するには、信頼性(耐湿性, 低応力性)に優れた薄型外部接続方法の開発が必要である(図113)。現在、FOWLPは外部接続方法として再配線法を採用している。しかし、これはコスト面および信頼性面で問題を抱えている。再配線法は露光法(フォトリソグラフィ; Photolithography)で加工するが、コストが高いという欠点がある。このため、様々な低コスト策が提案されているが実現していない(図114)。再配線法を子基板法と比較すると、薄型化が可能という長所があるが、熱衝撃に弱いという欠点がある(図115)。これは、感光性レジストのスピコートという既存の封止技術に頼っているためである。顧客の要求は高信頼性の薄型外部回路であり、再配線法や子基板法といった加工方法ではない。今後必要となるのは、高信頼性の微細加工に対応できる材料を用いた高信頼性の封止技術である。再配線の信頼性を高める封止技術または子基板の薄型化を図る封止技術の実用化である(図116)。後者として、従来の子基板のコアをなくす=コアレス子基板という概念が検討されている<sup>56)</sup>(図117)。これらとして、従来のビルトイン基板(EMIB: Embedded Multi-die Interconnect Bridge<sup>57)</sup>)と、新しい樹脂基板(MIS: Molding Interconnect Substrate<sup>58)</sup>)の2つが主に提唱されている。