

## はじめに

CMPが半導体デバイス製造に使われ始めて30年以上となる。その間、デバイスは微細化を続け、CMPの適用工程も増え続けてきた。特に近年では、微細化が限界に近づきつつあることから、性能向上のペースを維持するためにデバイス構造が複雑化し、その構造を実現するためにCMPが駆使されている。先端デバイスでは、その工程数は延べ30～50工程にも及ぶという。さらに、パワーデバイスや光デバイス、高周波デバイスなどの性能を上げるために、SiCやGaNなどの新規材料のウエハが用いられるようになり、そうしたウエハ製造にもCMPは用いられている。このように、CMPは研磨する材料も多様化し、工程ごとに求められる平坦性や選択比、あるいは生産性が向上するよう、消耗材や装置の対応が必要となっている。

本章では、先端デバイスで用いられる工程の種類について解説し、工程ごとの要求事項に対して、CMPに用いられる装置や消耗材料がどのように対応しているかについて述べる。

## 1. CMPの応用工程

### 1.1 グローバル平坦化

CMPの初期には、微細化によって浅くなったリソグラフィーの焦点深度に対して、露光面の高さをそろえる目的で層間膜(ILD)CMPが広まった(図1)。ステッパーによる露光はショットごとに焦点を合わせるため、ショット内の高さがそろっている必要がある。この平坦化をグローバル平坦化と呼ぶ。ILD平坦化はゲート上、配線上で必要であったが、Al配線がCu配線に置き換わると同時に、Cu配線の形成方法がダマシン法となり、層間膜の平坦化は必要なくなった。ただし、トランジスタ上、あるいはメモリ素子上の層間膜平坦化は依然として必要である。

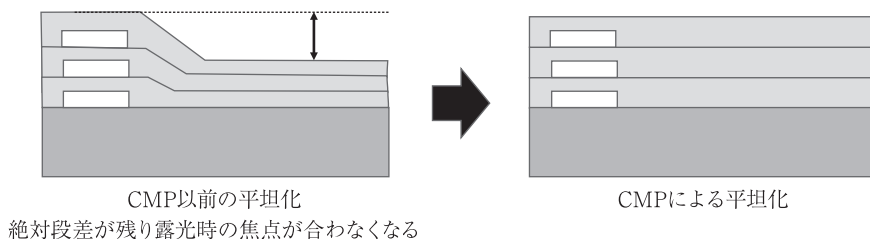


図1 CMPによるグローバル平坦化

## 1.2 STI(Shallow Trench Isolation) 法

0.25  $\mu\text{m}$  ノード以前の素子分離は、アクティブ領域をシリコン窒化膜でマスクして素子分離領域を熱酸化する LOCOS 法が用いられていたが、横方向への酸化により微細化に対応できなくなり、STI(Shallow Trench Isolation) 法が用いられるようになった(図2)。素子分離領域のシリコンに溝を形成し、酸化膜を埋め込んでシリコン窒化膜をストッパーに CMP で溝以外の領域の酸化膜を除去する。当初はシリカ系スラリーが用いられ、シリコン窒化膜と酸化膜の選択比が低かったこともありパターン依存性が大きく、その対策として、アクティブ領域の酸化膜を、溝の反転パターンを用いてあらかじめドライエッチングする反転エッチ法が用いられていたが、添加剤により選択性と平坦性を向上させたセリアスラリーが登場し、反転エッチは必要なくなった。

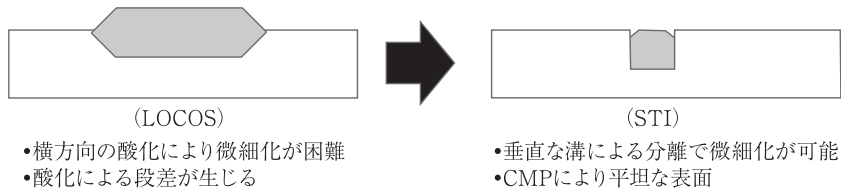


図2 素子分離方法の変化：LOCOS法からSTI法へ

## 1.3 Wプラグ法

Al配線の時代、当初は配線とトランジスタ、上層配線と下層配線の間は直接Alで接続されていたが、コンタクトホール(ビアホール)が微細化しアスペクト比が大きくなると、スパッタ法で成膜していたAlでは段切れが起こり、埋め込み性の良いCVDでW(タングステン)を成膜し、ホール以外のW膜をドライエッチングにより除去するWプラグ法が用いられるようになった(図3)。ドライエッチングではオーバーエッチングによりホール部の段差が大きくなるが、CMPを適用することによりホール部の段差(リセス)

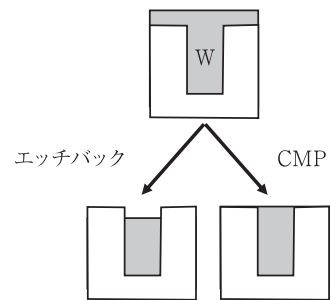


図3 Wプラグプロセス  
(エッチバックとCMP)

を大きく改善することができるようになった。Al配線からCu配線への切り替えにより、配線間の接続はCuで行われるようになり配線間でWプラグは用いられなくなったが、配線と素子をつなぐコンタクトにはいまだにWプラグが用いられている。プラグCMPは、一般的にホールサイズがそろっており、そうしたホールが埋め込まれるように成膜条件が設定されているので、CMP前の表面はほぼ平坦であり、層間膜との選択比を取ることができ、終点検出も可能

## 第1節 CMPスラリー技術： フジミインコーポレーテッド社における開発動向

(株)フジミインコーポレーテッド 菅井 和己

### 1. フジミのCMPスラリー

半導体デバイスの製造プロセスは、トランジスタを形成するFEOL(Front End of Line)と配線層を形成するBEOL(Back End of Line)に大別される。当社ではそのうちFEOLのCMP工程で使用されるスラリーを主に開発、製造、販売している。近年、トランジスタの構造がプレナーからFin FETへと変わり、さらにGAA(Gate All Around)へと進化していく中で、CMP工程も増加しており、poly Si, SiO<sub>2</sub>, SiNを始めとする複数の種類の膜を研磨することが求められている。このような用途向けに、コロイダルシリカを用いたスラリーを主に開発、上市している。コロイダルシリカは、ヒュームドシリカに比べ2次粒子径がそろっており、粗大粒子が生成されにくい。そのため、スクラッチのような欠陥が発生しにくいことが特徴である。また、当社のスラリーは図1に示すように、poly Si, SiO<sub>2</sub>, SiNの研磨速度をそれぞれ独立に制御することが可能で、これによって平坦なウェハー表面を実現することができる。

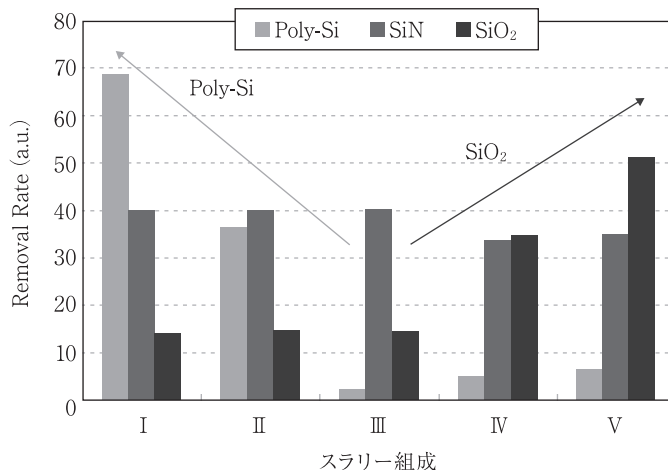


図1 スラリーの組成の違いによる、poly-Si, SiN, SiO<sub>2</sub>の研磨速度

また、これまで半導体デバイスはMooreの法則に従って微細化によって進化を遂げてきたが、微細化の進展が鈍化する中、さらにデバイス、システムの高性能化のため3次元の集積化

## 第4節 CMP用パッドコンディショナ開発動向

旭ダイヤモンド工業(株) 東田 充

### はじめに

半導体デバイス向けのCMPプロセスで使用される研磨パッドは、研磨レートだけでなく平坦性も求められるため、硬質なポリウレタン製パッドが利用されることが多い。これは不織布などの軟質パッドと異なりパッド表面が平滑なため、溝やポア部以外でスラリー粒子を効率よく保持することが難しく、研磨レートが低くなる傾向がある。そのため、図1に示す円盤状の台座にダイヤモンド砥粒を固着させた工具(コンディショナ)でパッド表面を加工(コンディショニング)し、スラリー保持に最適な凹凸を形成する必要がある。またウェーハ研磨によりパッド表面は局部的に目詰まりするため、都度コンディショニングも必要になる。図2に、硬質ウレタンパッド新品、コンディショニング後の表面、ウェーハ研磨後に発生するパッド目詰まり部を示す。

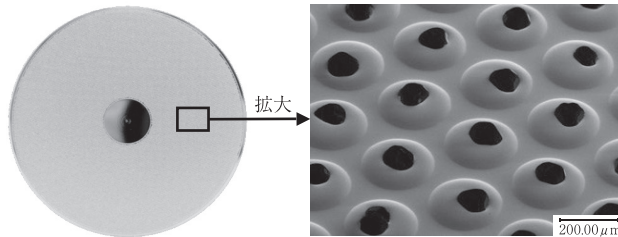


図1 CMPコンディショナ

	新品	コンディショニング後	ウェーハ研磨後(白色部が目詰まり)
写真			
3次元			

図2 硬質ウレタンパッド(新品、コンディショニング後、ウェーハ研磨後)の表面

## 第1節 CMPプロセスにおける研磨圧力と研磨効率の可視化技術

金沢大学 橋本 洋平

### はじめに

CMPにおいて研磨レート分布はグローバル平坦性に直結する重要な要素であり、その推測技術は条件最適化や技術開発を行う上で重要となる。研磨レートはPreston則<sup>1)</sup>として、ウェハーパッド間の相対速度と接触応力(研磨圧力)に比例することが経験的に知られているため、研磨レート分布  $MRR(r)$  はウェハ面内の研磨圧力分布  $\sigma(r, \phi)$  と相対速度分布  $v(r, \phi)$  を用い、式(1)により算出できる。

$$MRR(r) = \frac{1}{2\pi} \int_0^{2\pi} k(r, \phi) \cdot v(r, \phi) \cdot \sigma(r, \phi) d\phi \quad (1)$$

ここで、 $r$  と  $\phi$  はウェハの半径方向位置と周方向位置であり、式(1)はウェハ回転による周方向分布の平均効果を考慮した式となっている。また、 $k(r, \phi)$  はPreston則における比例係数である研磨効率(Preston係数とも呼ばれる)のウェハ面内分布である。この相対速度分布  $v(r, \phi)$  は、ウェハとパッドの中心間距離  $L$  とウェハとパッドの回転数  $n_w, n_p$  から式(2)で容易に算出できるとともに、一般的に用いられるウェハとパッドの回転数がほぼ同じ条件では均一分布となる。

$$v(r, \phi) = \left| \sqrt{\{2\pi n_p L + 2\pi(n_p - n_w)r \cos \phi\}^2 + \{2\pi(n_p - n_w)r \sin \phi\}^2} \right| \quad (2)$$

このため、研磨レート分布を推測するためには、研磨圧力分布  $\sigma(r, \phi)$  と研磨効率分布  $k(r, \phi)$  の理解が必要になるが、研磨圧力分布  $\sigma(r, \phi)$  の高精度推定は容易でなく、研磨効率分布  $k(r, \phi)$  に関してはほとんど言及すらされていない。本節ではこの研磨圧力分布と研磨効率分布の可視化技術について紹介する。

### 1. 研磨圧力分布の可視化技術

ウェハーパッド間の接触応力である研磨圧力の分布は、ウェハとパッドの弾性変形を考慮した接触問題を求解することで可視化できる。しかし、一般的な有限要素法解析ソフトウェアの機能だけでは考慮できない因子も存在し、その高精度解析は容易でない。ここでは、ウェハを保持する研磨ヘッドの構造が、小型汎用研磨機で多く見られるジンバル機構のヘッドの場合と、半導体デバイスのCMPで一般的に用いられるリテーナリングをもつエアバッグタイプの

## 第2節 半導体CMP装置における終点検出技術

近畿大学 藤田 隆

### はじめに

CMP (Chemical Mechanical Polishing) 技術が、最初にIBM社でデバイスの平坦化技術として取り入れられてから、早30年以上が経つ。半導体デバイスの製造においては、欧米を中心に比較的参入しやすいファブレスの半導体デバイスメーカーが多く生まれる一方で、半導体デバイスの製造拠点は、ファウンドリやサブコンといった形態で台湾を中心にアジアの企業が躍進し、世界的な水平分業が進み半導体業界の再編が図られてきた。こうした流れの中で、昨今のロシアによるウクライナ侵攻を契機に台湾に対する中国の脅威から経済安全保障の概念を背景として、政府主導で半導体サプライチェーンの強化が図られている。

半導体のデバイスは、成膜、レジストコート、露光、エッチング、平坦化、洗浄といった基本的な工程を繰り返すことで製造される。最先端の半導体を開発、製造する中で、各工程間の処理条件のマッチングを図り最適化していくことは重要である。一方、個々の工程を担う半導体製造装置そのもののブラッシュアップが、さらなる半導体製造技術全体の向上に大きく寄与することはいうまでもない。半導体製造装置メーカー各社は、実際に開発した装置を自社内で性能評価を行い、その装置性能を保証して半導体デバイスメーカーに装置を納入している。その点では、半導体製造工程の基本要素技術は、半導体製造装置メーカーが掌握している状況にあるとあってよい。半導体製造装置の開発の過程で、一つの装置が多くの機能を統合して行うように高度にシステム化されてきた。半導体製造装置業界は、ここ20年で寡占化が進んでおり、また新規に参入することは極めて難しい状況になっている。

現在、Cu配線平坦化工程や素子分離工程など、多層配線構造を形成する上で不可欠となる半導体CMP (Chemical Mechanical Planarization) 装置も、高度にシステム化された半導体製造装置の一つである。CMP装置は、研磨するユニットだけではなく、洗浄、乾燥ユニットも装置内に搭載している。それに付随して、スラリー供給システム、薬液供給ユニット、さらには研磨の終点を検出するための終点検出システムなど、複数の機能を有する複合システムとして統合されている。半導体前工程に使用されるCMP装置は、現在米国と国内にある主要2社で全世界の半導体CMP市場を占有している。そうした寡占化が進む市場で、経済安全保障の観点からは、さらにシステムを高度化することがサプライチェーンの強化とともに今後の先端半導体を主導的に開発していくことにつながると考えられる。本節では、そうした考えの下で、

CMP装置技術の中でも、特にシステムを高度化する研磨の終点検出技術に着目し、研磨の終了点をどのように検出することが妥当であるのか、歴史的な開発の流れを振り返りながら、研磨の終点検出だけでなく研磨量制御を含めて安定したプロセス運用と今後のさらなる発展などを踏まえ、CMP終点検出技術を概説する。

## 1. 研磨膜厚の制御による研磨状態のコントロール

Cu配線形成におけるCMP技術においては、過研磨ないしは研磨不足が、製品の良・不良に直結するため、研磨の状態を正確に検知した上で、その情報を基に判断、制御していくことが重要になる。半導体CMP技術において、過研磨ないしは研磨不足を制御するアプローチとしては、膜厚制御などのプロセスコントロールによる方法と、研磨状態を直接検知する方法との2つに大別される。いずれも、半導体CMPプロセスにおける研磨過程を厳密に制御する上においては、重要な工程に位置付けられる。

そこで本項では、最初に、研磨中ないしは研磨後の膜厚制御に着目して過去に開発された事例を述べる。CMP装置における研磨膜厚の制御技術は、本質的には、研磨状態がすべて正確に管理されプロセス自体が極めて安定であれば、必要とされるものではないかもしれない。しかしながら、実際は、同一条件で行ったとしても、性能が完全に一致することはなく、客観的に工程の安定性を確認することは生産上必要となってくる。研磨中ではなく、研磨後であっても一旦モニターウェーハで研磨状態を定期的にモニターし、それを基にフィードバックもしくはフィードフォワードをといた制御を行うことが求められる。こうした技術は、APC (Advanced Process Control) として、研磨の状況に応じて積極的にプロセスをコントロールする方法として知られている。

図1には、研磨後ないしは研磨中の膜厚制御における事例を示す。

図1(a)に示す方式は、最も初期の頃の膜厚モニターである。研磨した直後に膜厚測定装置にて膜厚測定し、その後、次の研磨プロセスの研磨時間を決定する<sup>1)</sup>。研磨直後に測定するためウェーハ表面が湿潤状態のまま測定し、測定結果を基に研磨時間を多少変化させるため、測定は正確性が求められる。

次に図1(b)に示す方法は、研磨条件を変更するのではなく、研磨状態(研磨レートと研磨均一性、ウェーハ間のレートばらつきなど)を定期的に確認するシステムである<sup>2)</sup>。事前に膜厚測定ユニットで膜厚測定したモニターのウェーハを装置内に内蔵している。1, 2ロット製品のウェーハを処理した後、モニターウェーハカセットから出したモニターウェーハを自動で研磨・洗浄・乾燥し、膜厚ユニットで所定の膜厚測定を行って装置内の元のカセットに戻す。処理前

## 第1節 GaN基板のコロイダルシリカCMP加工の基礎と応用

長岡技術科学大学 會田 英雄  
(株) Doi Laboratory 九州大学 埼玉大学 土肥 俊郎

### はじめに

単結晶 GaN 基板は、GaN-on-GaN 次世代パワーエレクトロニクスデバイスの実現に向けて必須となる下地用バルク基板である。近年の急速な結晶成長技術の発展に伴い、基板の本格的な実用化が目前に迫りつつある。これにより、GaN 基板加工技術開発の重要性や難易度が指摘され始めている。すなわち、GaN 基板を下地に用いた半導体デバイス製造を本格化させ普及させるためには、高品質表面仕上げと量産加工対応型の高能率プロセスを両立した GaN 基板加工プロセスが必須である。しかし、GaN 基板は機械的・化学的に極めて安定な性質を持ち、難加工性基板材料である。高い機械的安定性は、材料の機械的除去を著しく困難にし、高い化学的安定性は、材料表面と研磨材/研磨液との化学反応を妨げる。そのため、化学的・機械的作用の相乗効果による化学機械研磨(CMP: chemical mechanical polishing)加工は、特に困難を極める。従来素材に対する旧来型研磨手法をそのまま適用していたのでは太刀打ちはできない。高品位・高効率を両立する観点から、新しい次世代型 CMP 加工技術を確立しなければならない。

本稿では、GaN 基板の基礎的な CMP 加工技術について理解を深めつつ、革新的 CMP 加工技術について議論する。そこでまず GaN 基板への CMP 加工技術適用の歴史を振り返りながら GaN の CMP 加工のメカニズムを考察する。その上で、最新の次世代型 CMP である「加工環境制御型 CMP 加工法」および「プラズマ CMP 加工法」を紹介する。

### 1. GaN 基板の基礎的な加工プロセスと CMP 加工の位置づけ

図1に、GaN 基板の基礎的な加工の流れを示す。アズグロン結晶は、まずワイヤソープロセスにより切断(スライス)される。GaN 基板は硬度が高いため、従来型の遊離砥粒を用いたワイヤソープロセスではなく、電着ダイヤモンドワイヤソープロセスが用いられる。ワイヤソーによる切断を行わず、粗研削加工により所定の基板厚みに調整する場合もある。切断後には、両面ラッピングプロセスを適用して基板の厚みを整える。#170~600程度の比較的粗いダイヤモンドあるいはGC砥粒を用いて実施し、仕上げ面は梨地面となる。